|  |  |
| --- | --- |
| Gerb-BMSTU_01 | **Министерство науки и высшего образования Российской Федерации**  **Федеральное государственное бюджетное образовательное учреждение**  **высшего образования**  **«Московский государственный технический университет**  **имени Н.Э. Баумана**  **(национальный исследовательский университет)»**  **(МГТУ им. Н.Э. Баумана)** |

Факультет «Информатика и системы управления»

Кафедра «Программное обеспечение ЭВМ и информационные технологии»

**ОТЧЁТ ПО ЛАБОРАТОРНОЙ РАБОТЕ №7**

**«ПОЛЕВОЙ ТРАНЗИСТОР»**

по курсу «Основы электроники»

Студент: Лысцев Никита Дмитриевич

Группа: ИУ7-33Б

Студент \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Лысцев Н.Д.

*подпись, дата*

Преподаватель \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Оглоблин Д. И.

*подпись, дата*

Оценка \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

*2022 г*

Оглавление

[1. Цель работы 3](#_Toc122295209)

[2. Параметры транзисторов 3](#_Toc122295210)

[3. Характеристики полевого транзистора 3](#_Toc122295211)

[4. Полевой транзистор в импульсном режиме 12](#_Toc122295212)

[5. Устройство ячейки триггера статической памяти. 18](#_Toc122295213)

1. Цель работы

Получить навыки в использовании базовых возможностей программы Microcap и знания при исследовании и настройке усилительных и ключевых устройств на биполярных и полевых транзисторах.

1. Параметры транзисторов

В работе используется вариант транзисторов №64 – модель PJFET 2SJ103GR, модель NMOS IRF530, модель PMOS IRF9531 из стандартной библиотеки Microcap.

1. Характеристики полевого транзистора
   1. Характеристика PJFET

Для получения характеристик PJFET собираем приведенную ниже схему. Передаточную характеристику получаем с использованием анализа по постоянному току.

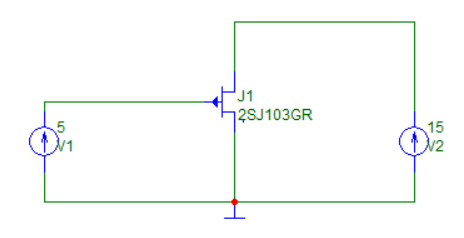


Рисунок 1. Схема для получения характеристик PJFET

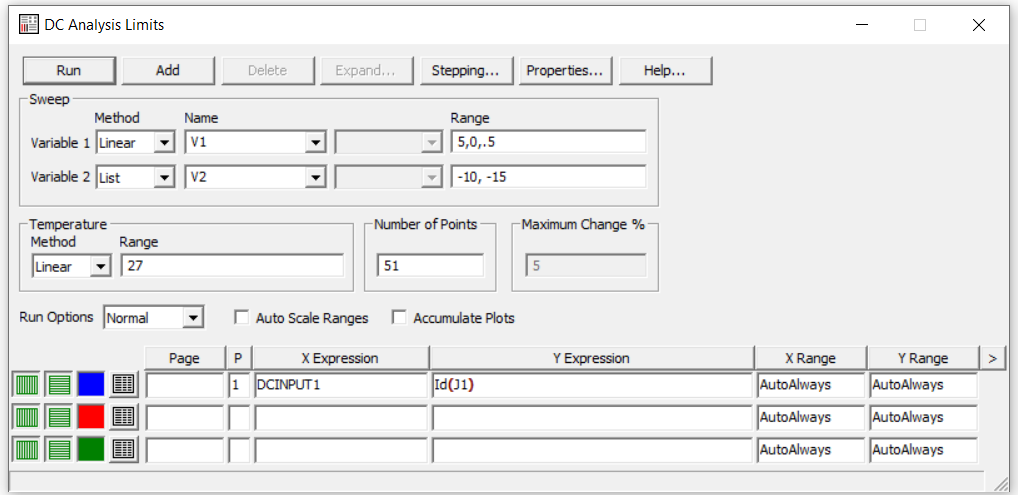


Рисунок 2. Параметры анализа для передаточной характеристики PJFET

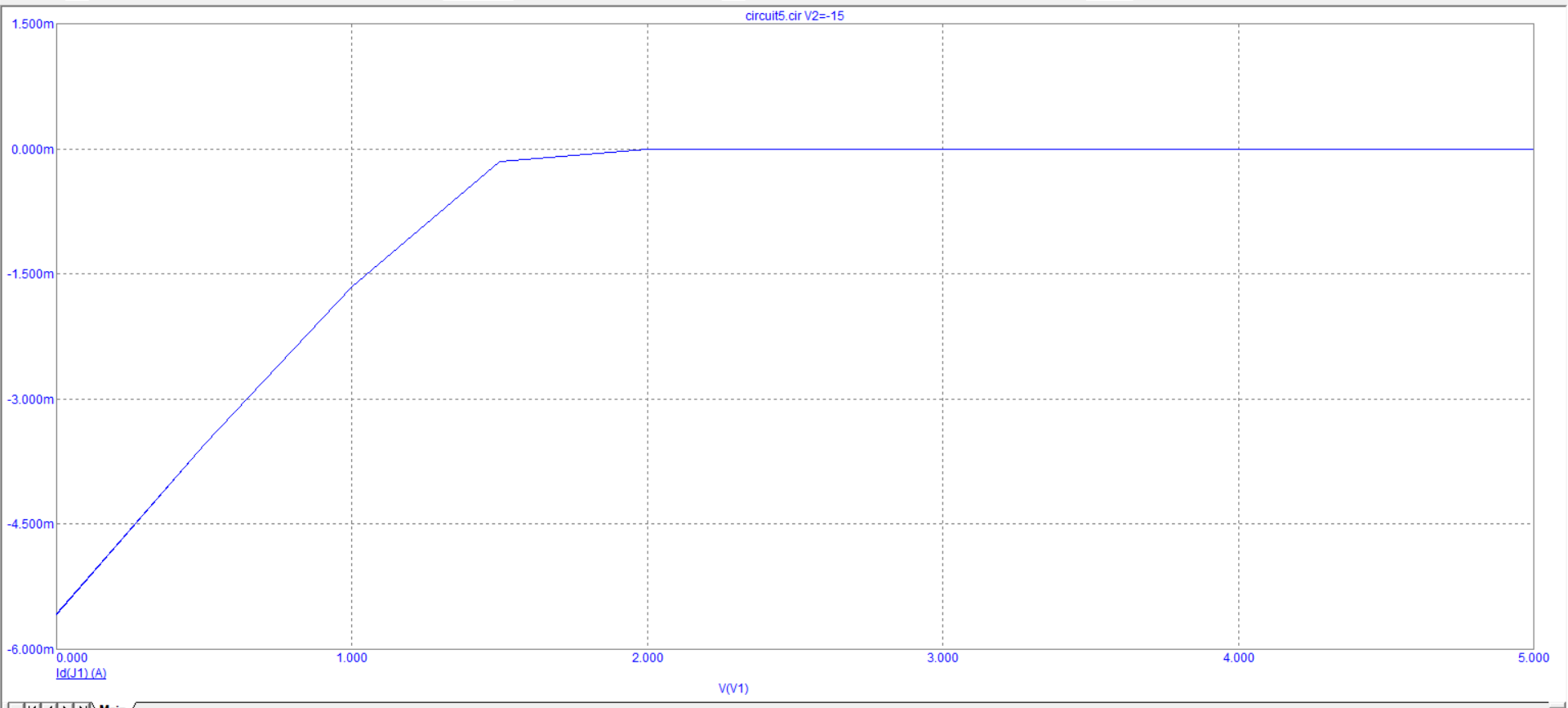


Рисунок 3. Передаточные характеристики PJFET

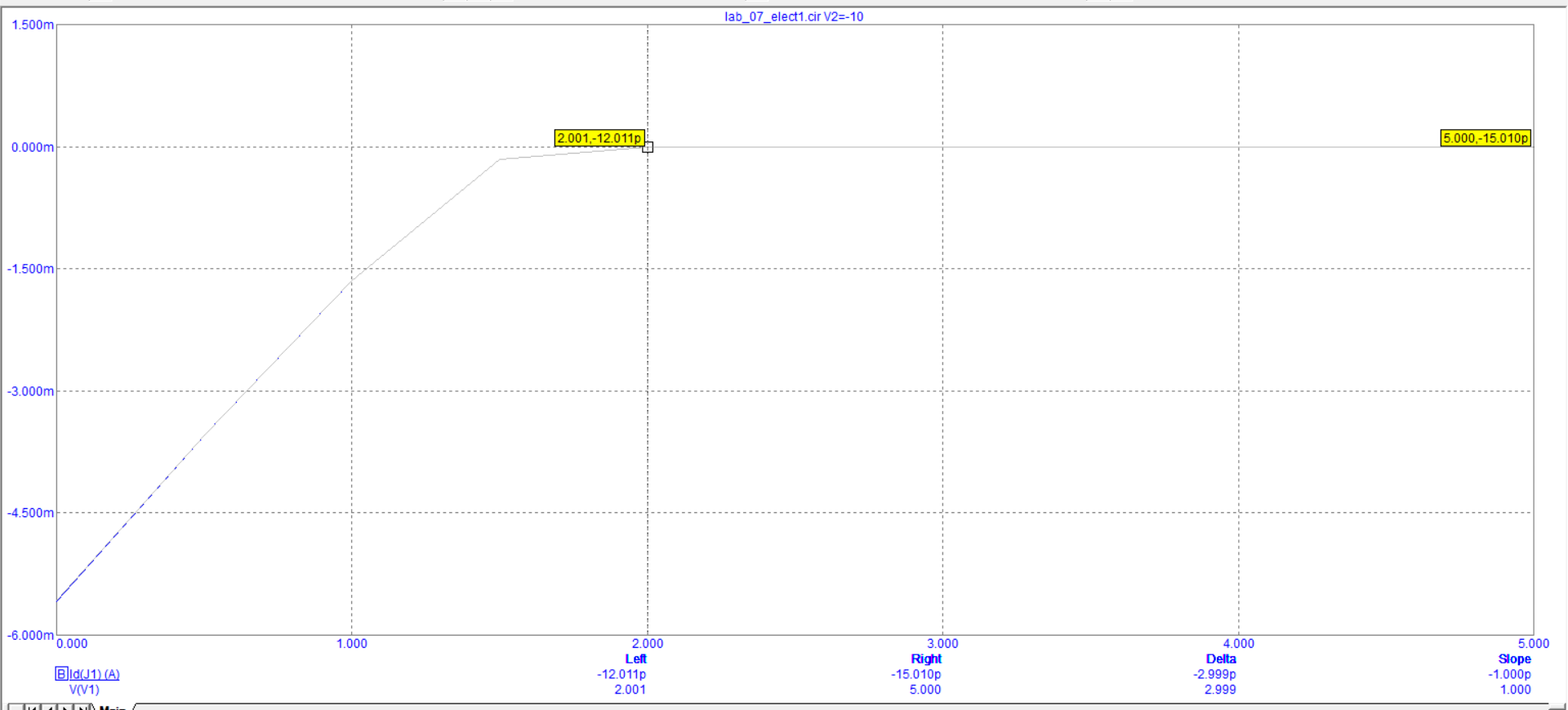


Рисунок 4. Определение напряжения закрытия PJFET

На передаточной характеристике PJFET находим, при каком напряжение, при котором транзистор закрывается. Оно приблизительно равно 2 В.

Поскольку напряжение Uзи, при котором ток стока прекращается, называется напряжением отсечки полевого транзистора, то Uотсечки = 2В.

Значение тока стока при Uзи = 0 называется начальным током стока Iс нач. По графику ниже видно, что начальный ток стока равен ~5.577mA.

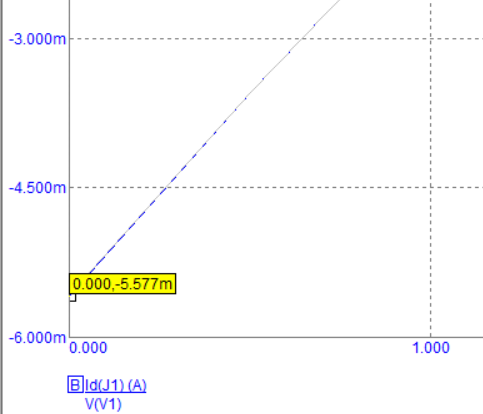


Рисунок 5. Определение начального тока стока

Максимальное значение крутизны транзистора достигается при Uзи = 0.

Теоретический расчет максимальной крутизны:

Smax =2I нач/ Uотсечки = 2\*5.557mA/2B = ~5.6mA/B

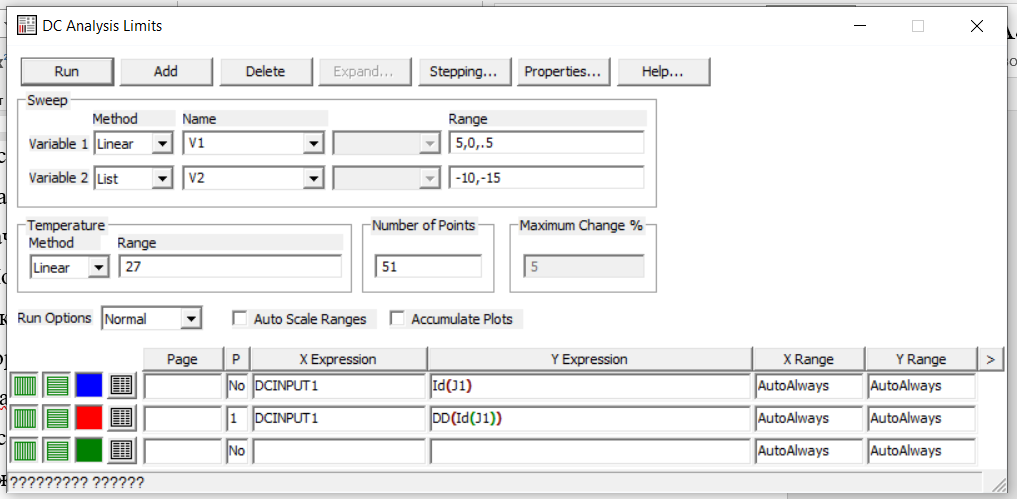


Рисунок 6. Параметры для получения графика производной передаточной характеристики

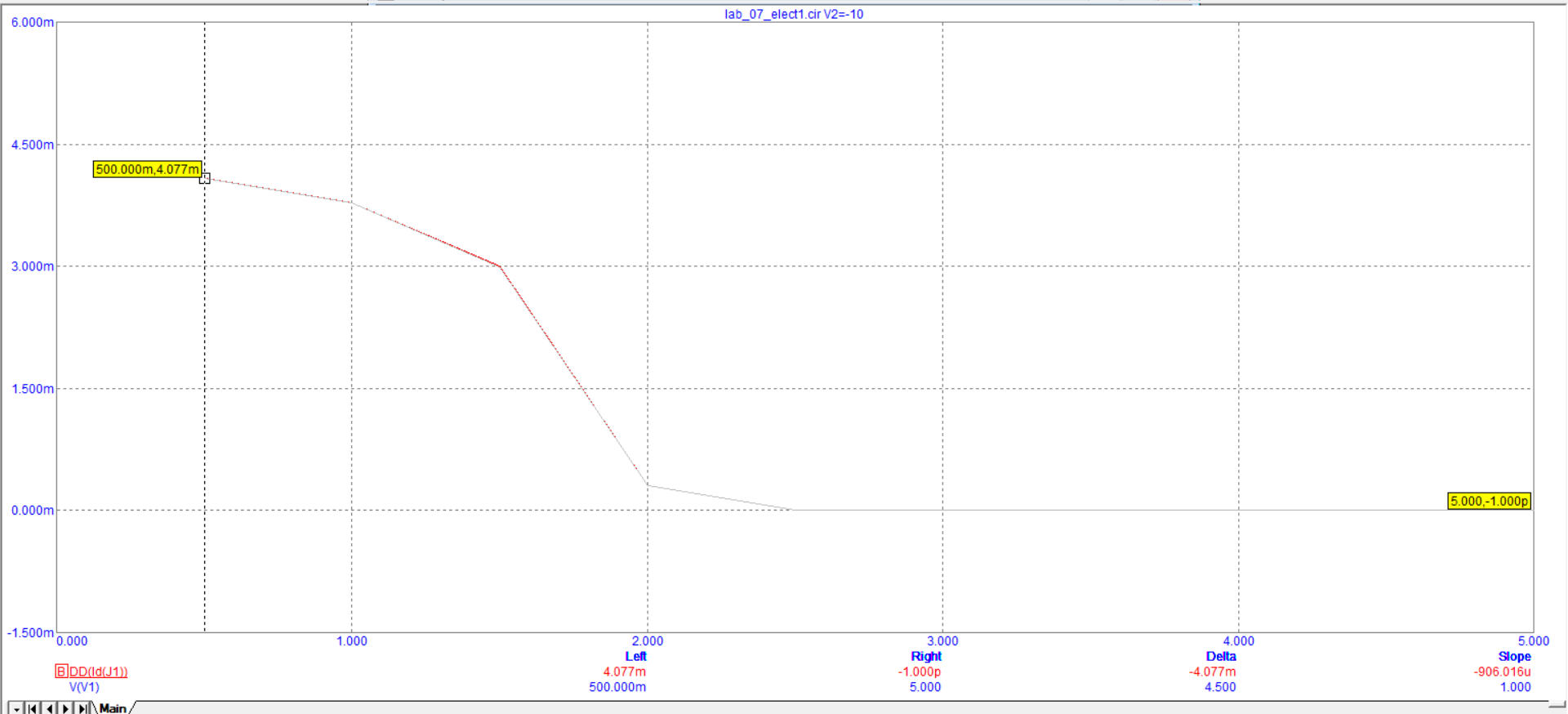


Рисунок 7. График производной передаточной характеристики

Построив дополнительно график производной зависимости тока стока от напряжения на затворе, получим максимальную крутизну характеристики = 4.077mA/B. Расчетное и экспериментальное значения отличаются приблизительно на 1.5 мА/В.

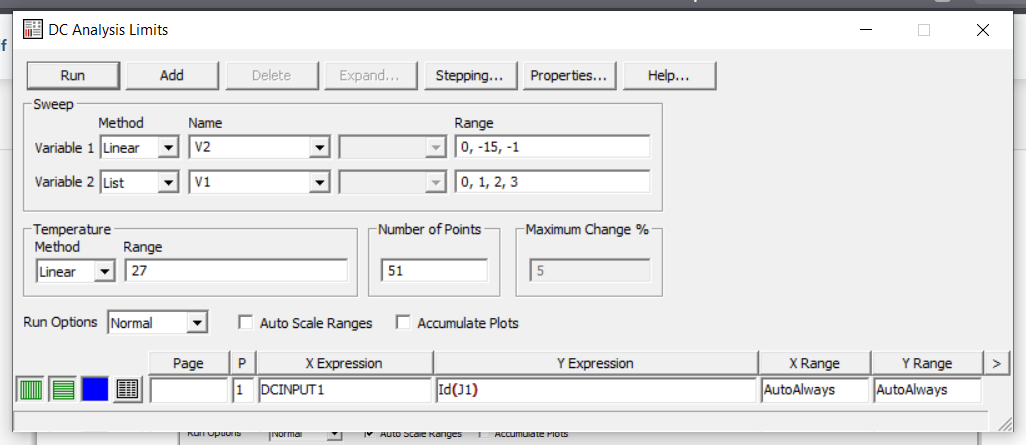


Рисунок 8. Параметры анализа для получения выходной характеристики PJFET

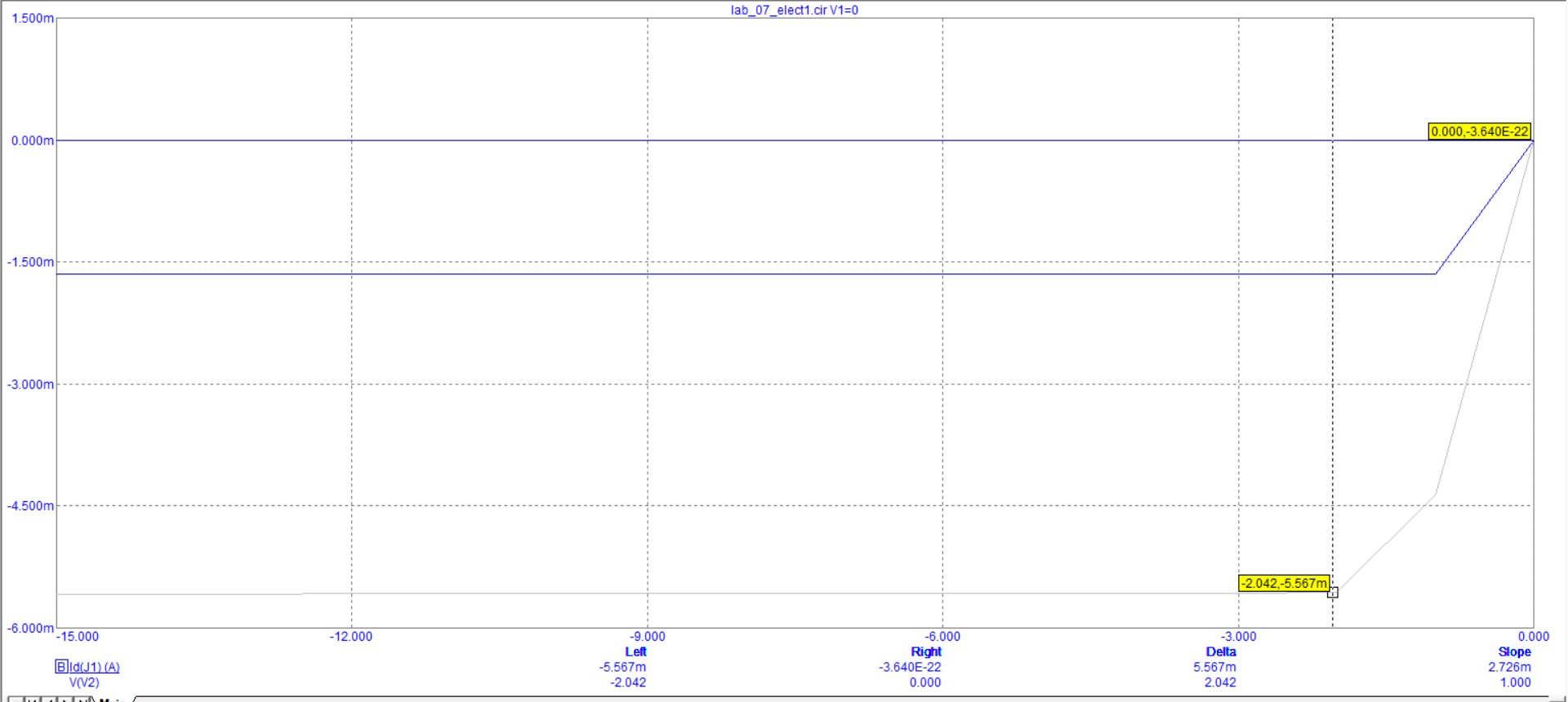


Рисунок 9. Выходные характеристики PJEFT

Область насыщения идет вправо со значения напряжения 2.042 B.

* 1. Характеристика NMOS

Для получения характеристик NMOS собираем приведенную ниже схему. Передаточную характеристику получаем с использованием анализа по постоянному току.

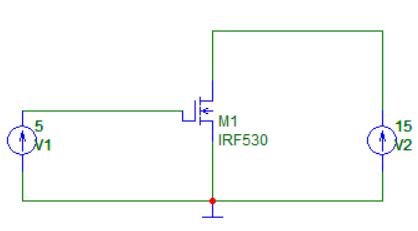


Рисунок 10. Схема для получения характеристик NMOS

Для транзистора NMOS указываем положительное напряжение питания (V2) в параметрах анализа.

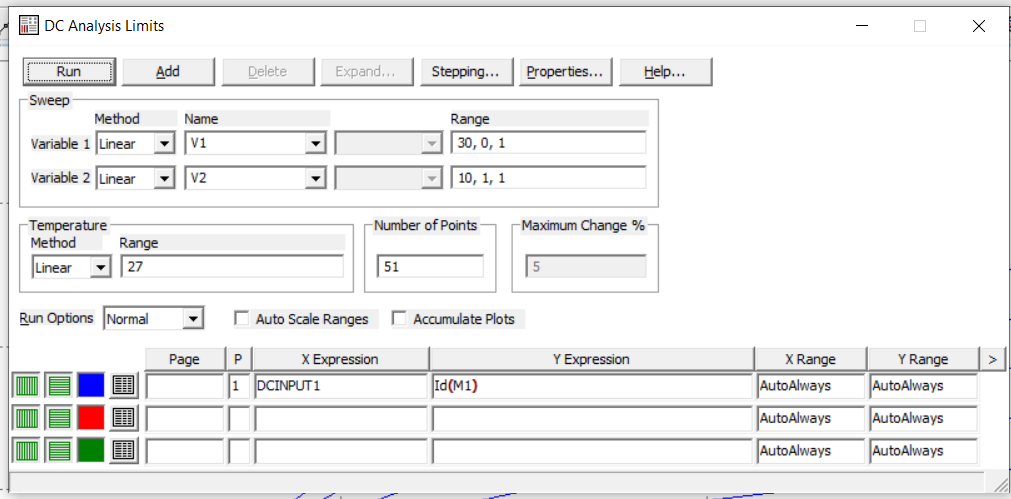


Рисунок 11. Параметры анализа для передаточной характеристики NMOS

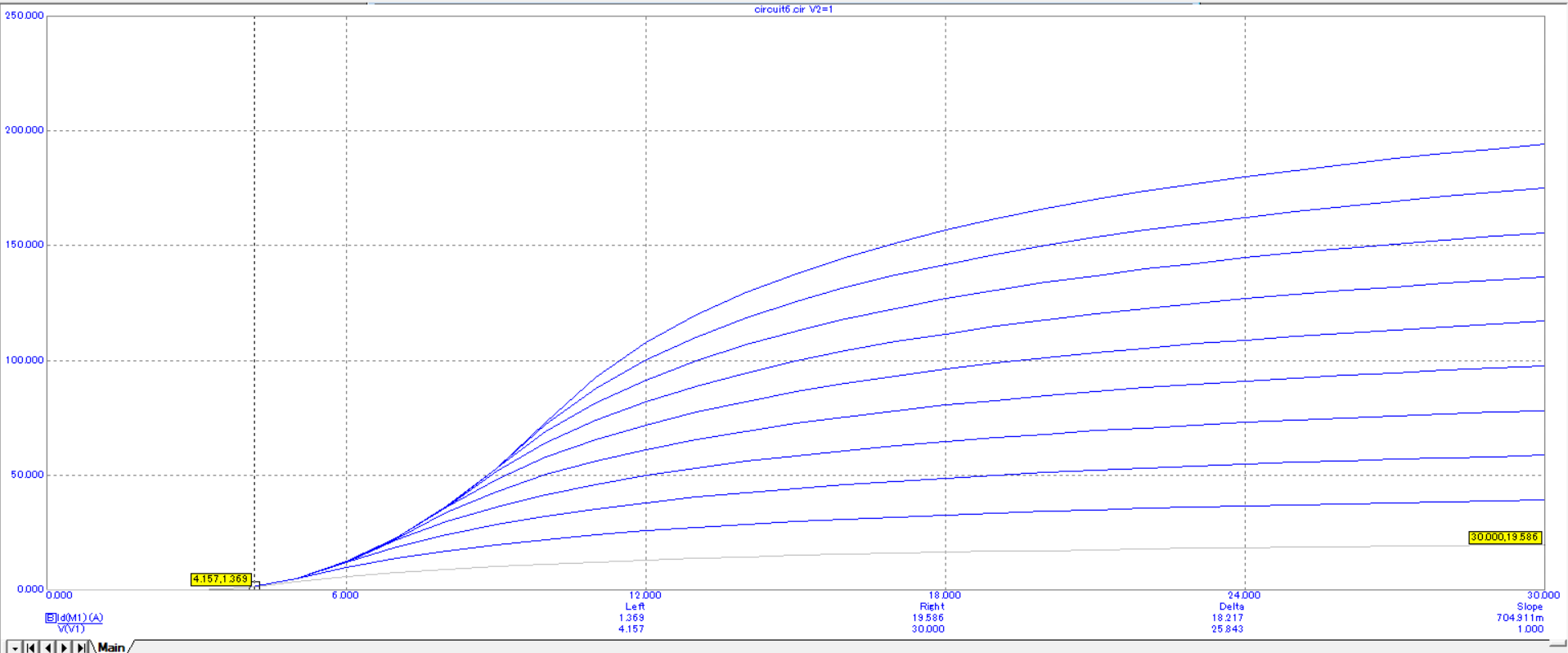


Рисунок 12. Передаточные характеристики NMOS

Из графика выше видно, что напряжение, при котором NMOS транзистор открывается равно ~4.157B.

Для получения выходной характеристики NMOS настраиваем анализ по постоянному току. Также для транзистора NMOS указываем положительное напряжение питания (V2) в параметрах анализа.

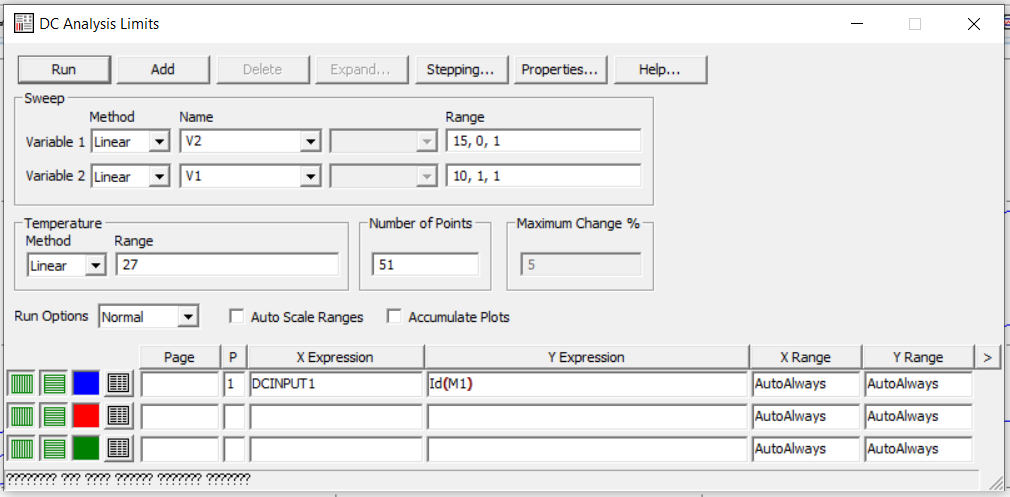


Рисунок 13. Параметры анализа для получения выходной характеристики NMOS

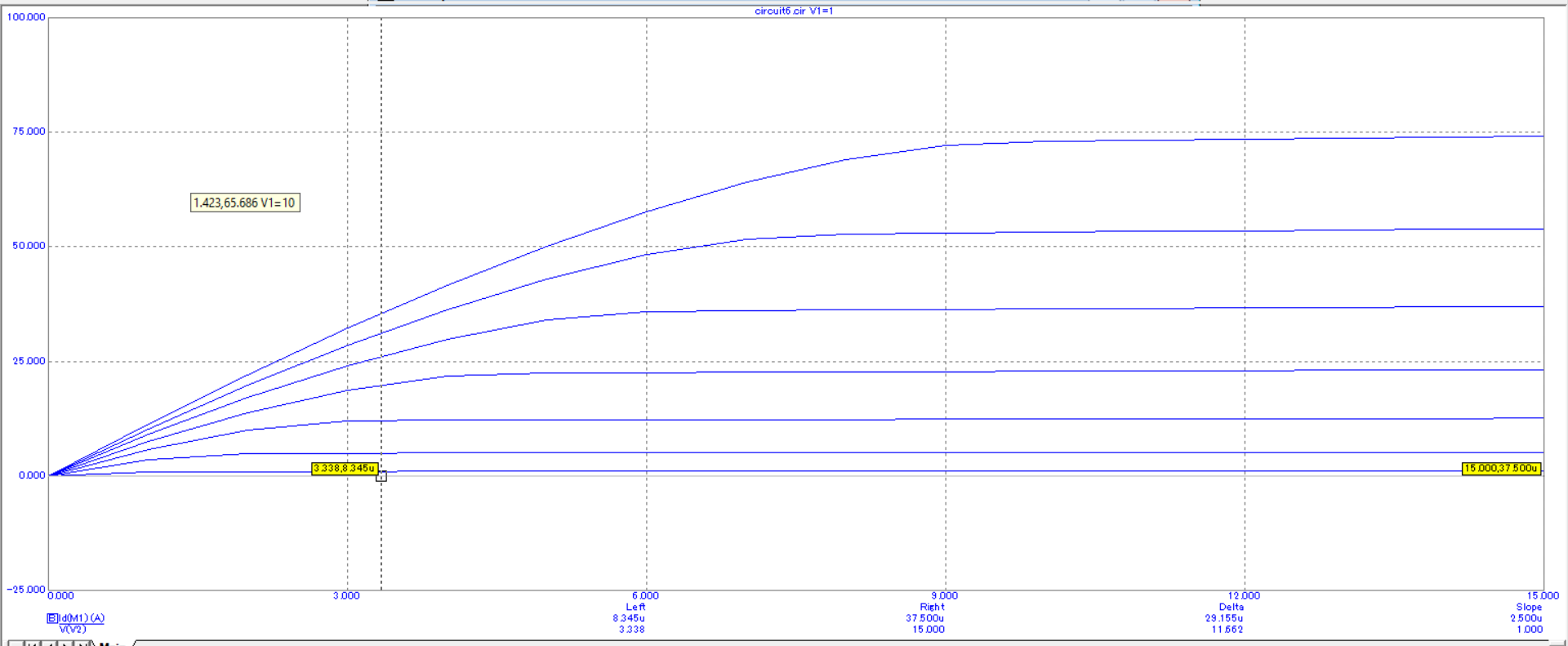


Рисунок 14. Выходные характеристики NMOS

По графику выше можно сказать, что область насыщения идет вправо от значения напряжения 3.338B.

* 1. JFET как усилитель

Для исследования свойств JFET как усилителя собираем схему, показанную ниже. Для моего варианта (pJFET) ставим отрицательное напряжение питания.

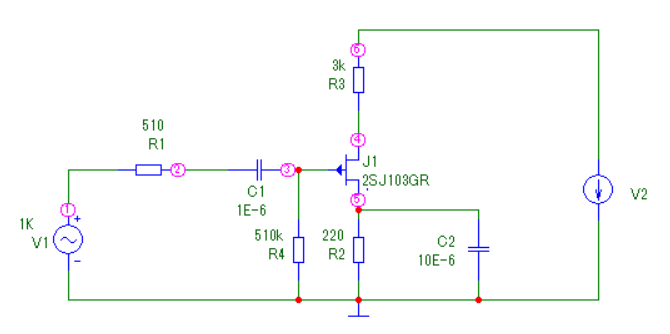


Рисунок 15. Схема для получения временного анализа

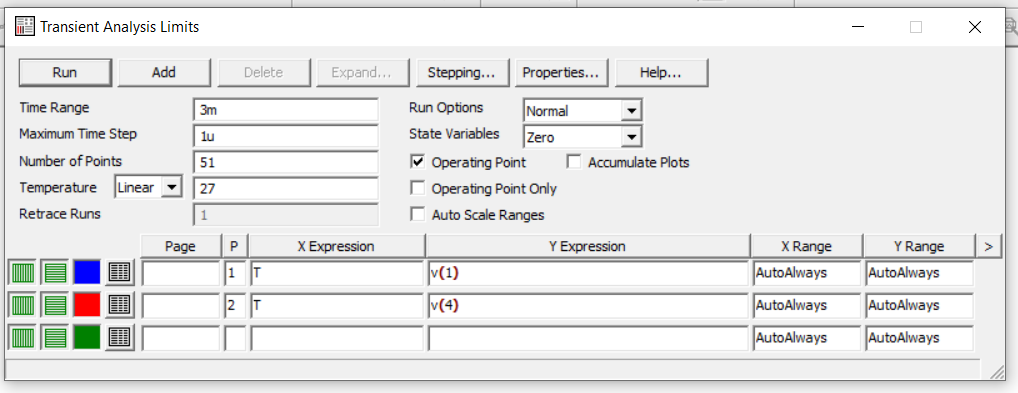


Рисунок 16. Параметры для получения временного анализа

Подаем на вход гармонический сигнал 20mV частотой 1 кГц. Запускаем временной анализ

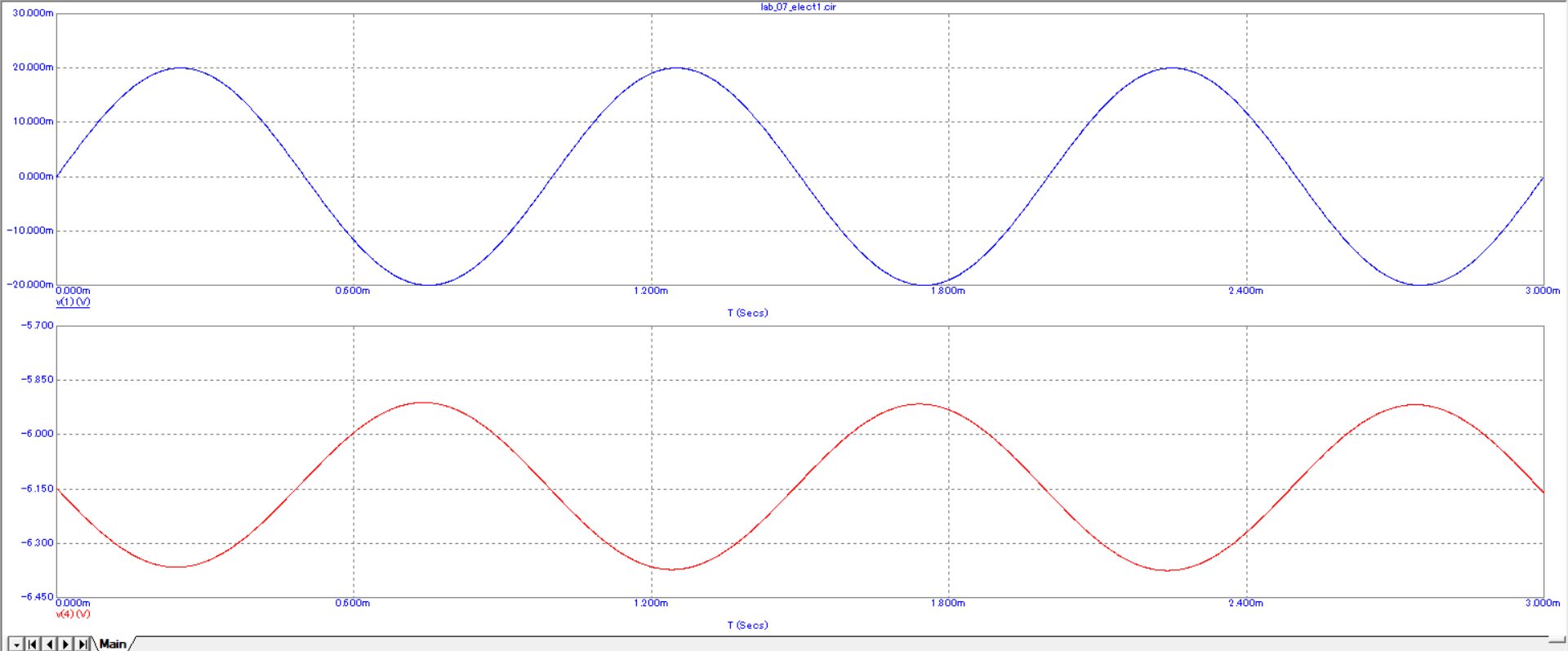


Рисунок 17. Результат временного анализа

Выходной сигнал обозначен красным цветом, входной – синим. Коэффициент усиления по напряжению равен отношению амплитуд входного и выходного напряжения: K = 458m = / (20m + 20m) = ~12.

1. Полевой транзистор в импульсном режиме

Для исследования работы инвертора собираем схему, представленную ниже.

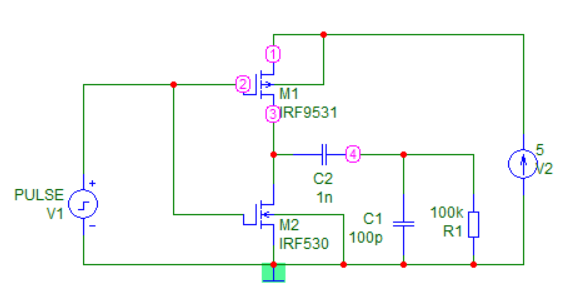


Рисунок 18. Схема для оценки быстродействия инвентора

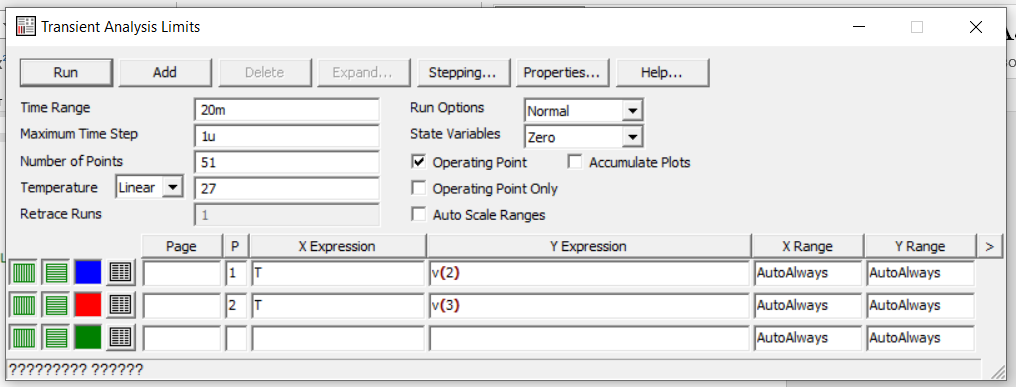


Рисунок 19. Параметры временного анализа

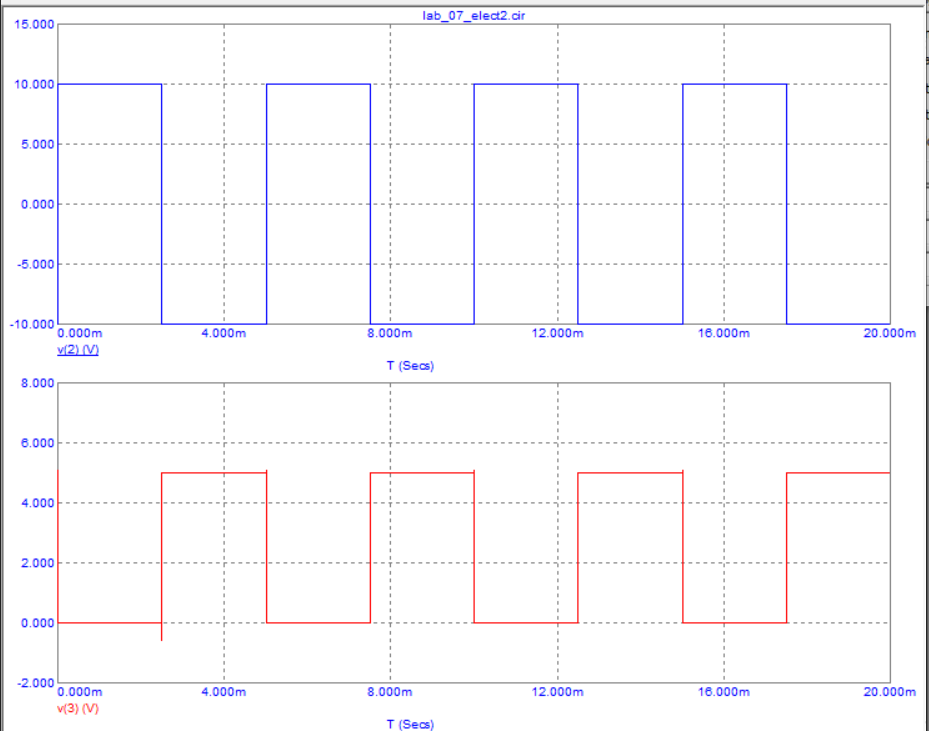


Рисунок 20. Результаты анализа

Из графика видно, что задержка по уровню 0.5 равна нулю, задержка перехода из 0 в 1 и наоборот равны нулю.

Получим передаточные характеристики (схема на рис. 30) с помощью анализа по постоянному току.

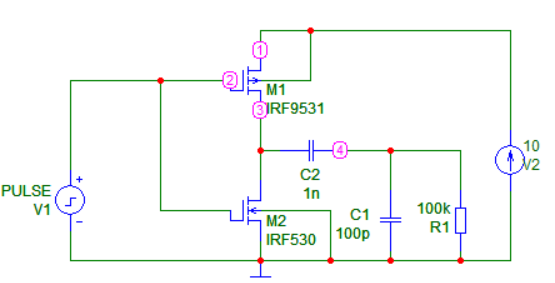


Рисунок 21. Схема для получения передаточных характеристик

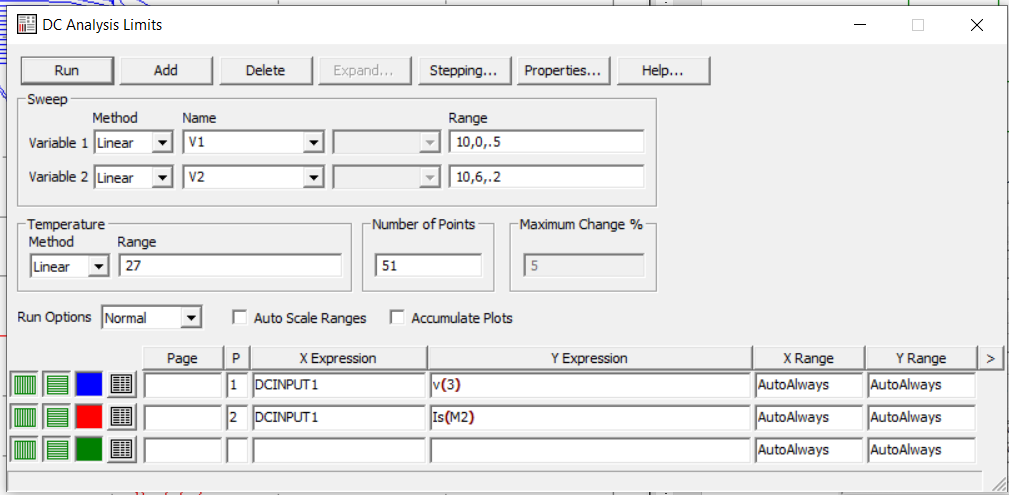


Рисунок 22. Параметры анализа по постоянному току

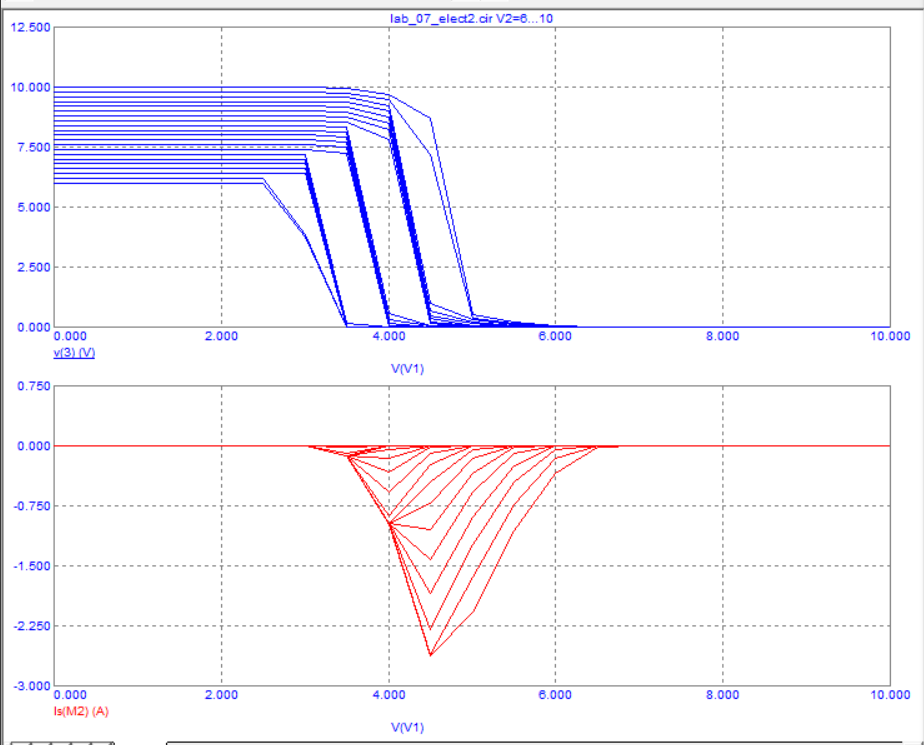


Рисунок 23. Передаточные характеристики

По полученным характеристикам определим напряжения, при которых открываются транзисторы – 3.064 В и 6.741 В и максимальный ток при напряжении питания – 2.653 А. Поскольку транзисторы из задания условно комплементарны, поэтому характеристики отличаются от идеальных.

Для исследования логического элемента 2И-НЕ используем схему, показанную ниже.

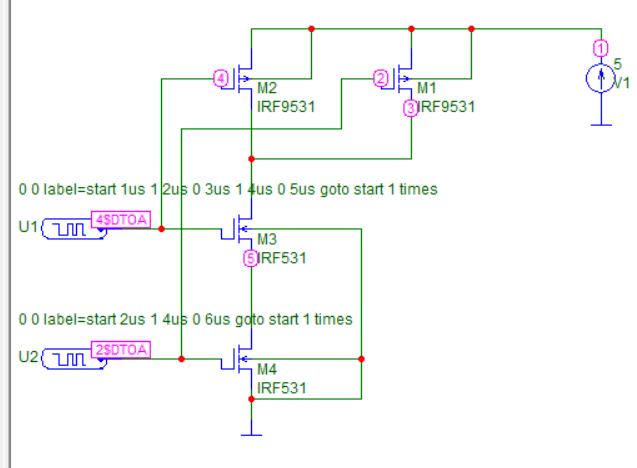


Рисунок 24. Схема для исследования логического элемента 2И-НЕ

Запускаем временной анализ с параметрами, показанными ниже.

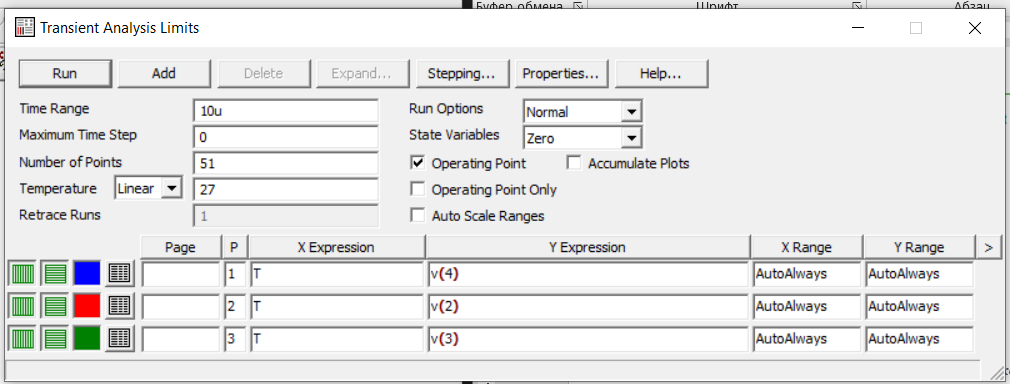


Рисунок 25. Параметры для получения временного анализа

В результате получаем моделирование работы логической функции 2И-НЕ: выходной сигнал равен единице тогда и только тогда, когда хотя бы один из входных сигналов равен 0.

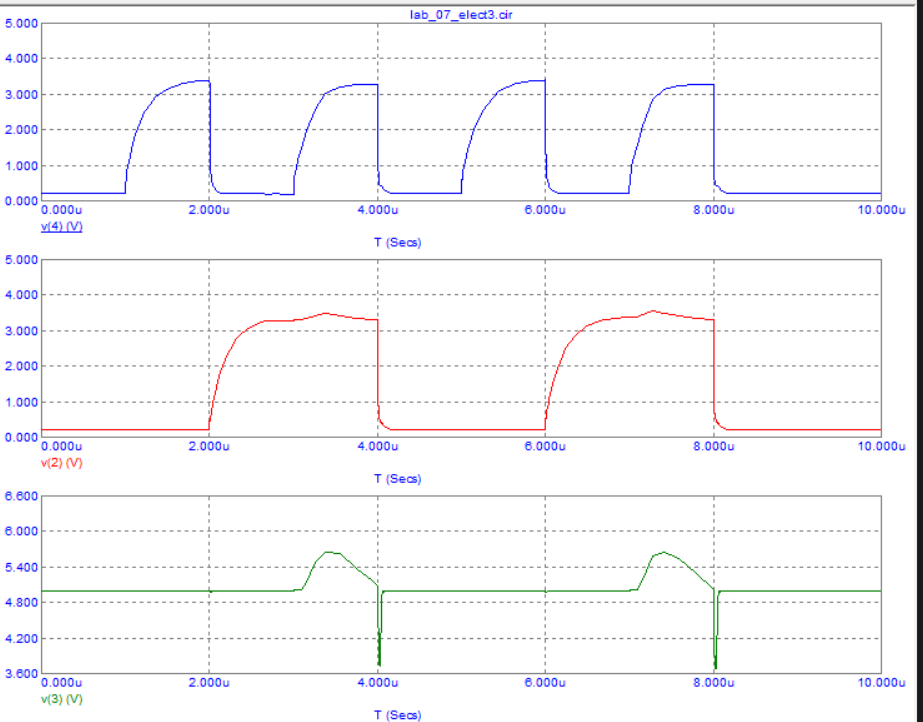


Рисунок 26. Результат моделирования схемы

Схема работает неудовлетворительно. Чтобы добиться желаемого результата, пересоберём схему с DtoA преобразователями

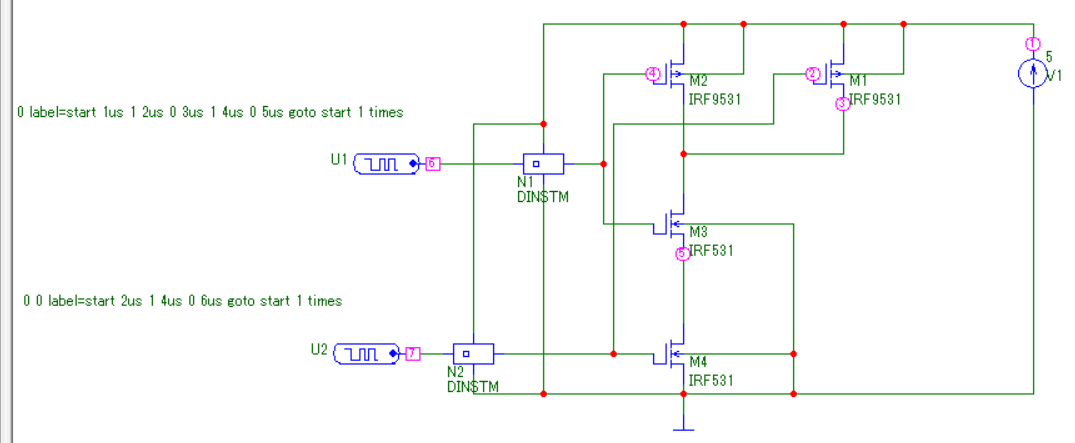


Рисунок 27. Схема с DtoA преобразователями

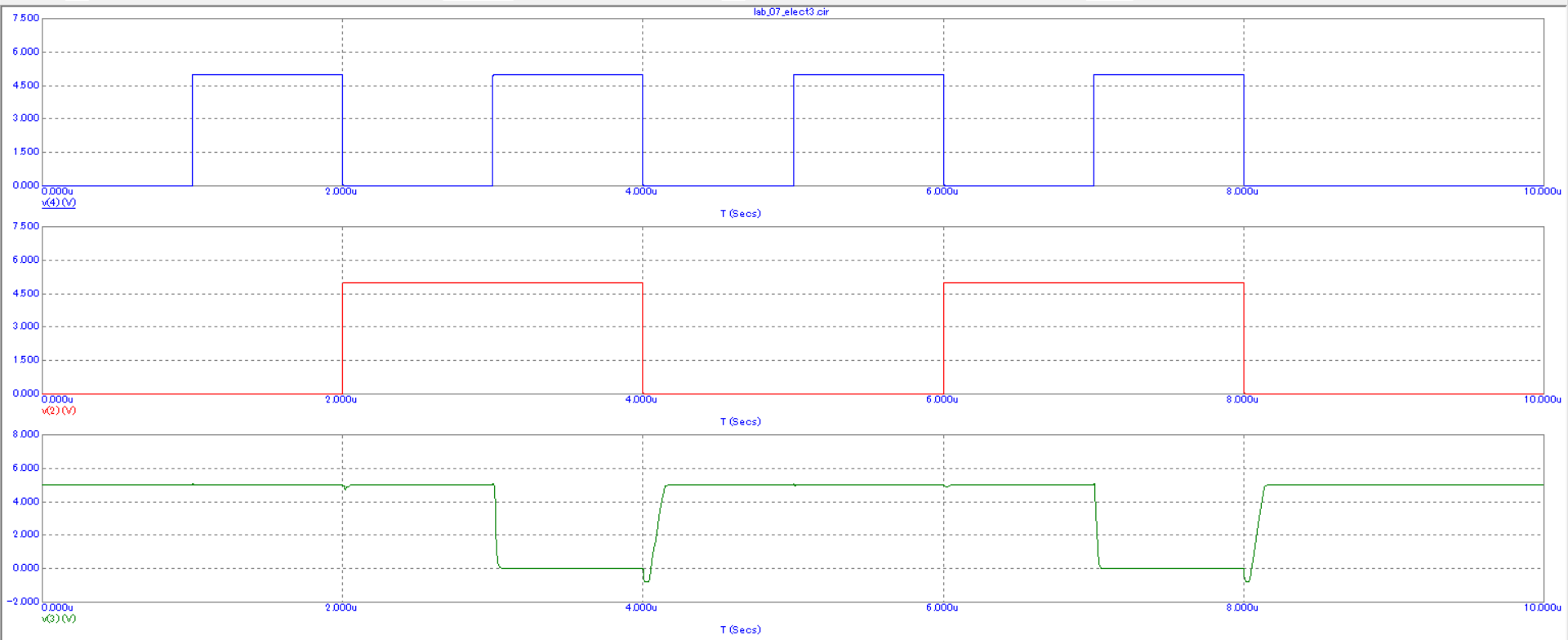


Рисунок 28. Результат моделирования схемы с Dtoa преобразователями

Видим, что схема стала работать более корректно.

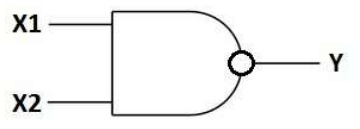


Рисунок 29. Стандартное обозначение И-НЕ в схемотехнике

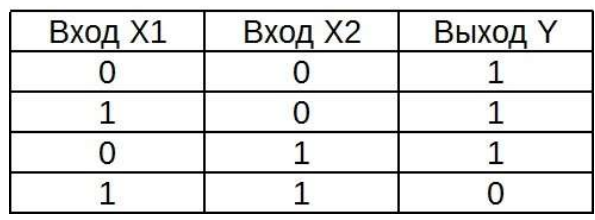


Рисунок 30. Таблица истинности И-НЕ

1. Устройство ячейки триггера статической памяти.

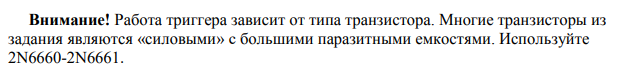


Рисунок 31. Предупреждение в методическом пособии

Ввиду предупреждения выше в схеме дальше будет использоваться транзистор 2N6660.

Собираем схему триггера, показанную ниже.

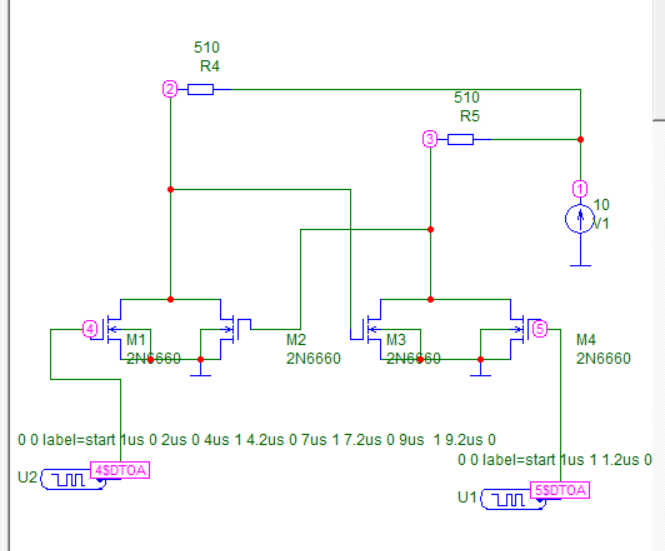


Рисунок 32. Схема учебного триггера

Запускаем временной анализ

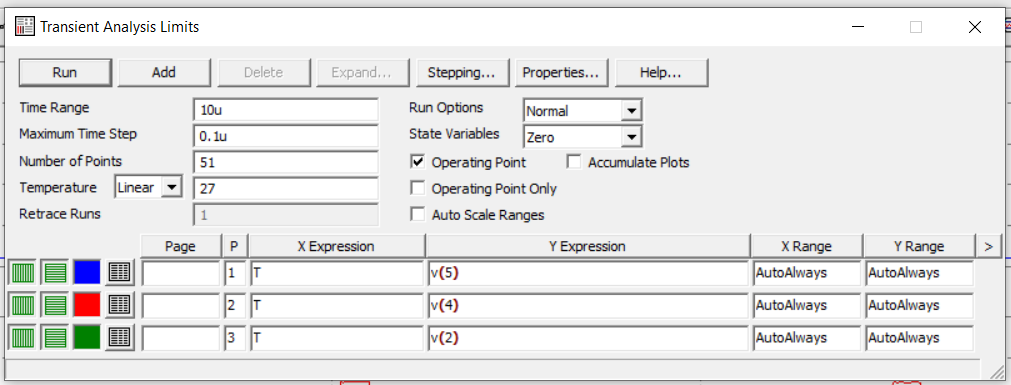


Рисунок 33. Параметры временного анализа

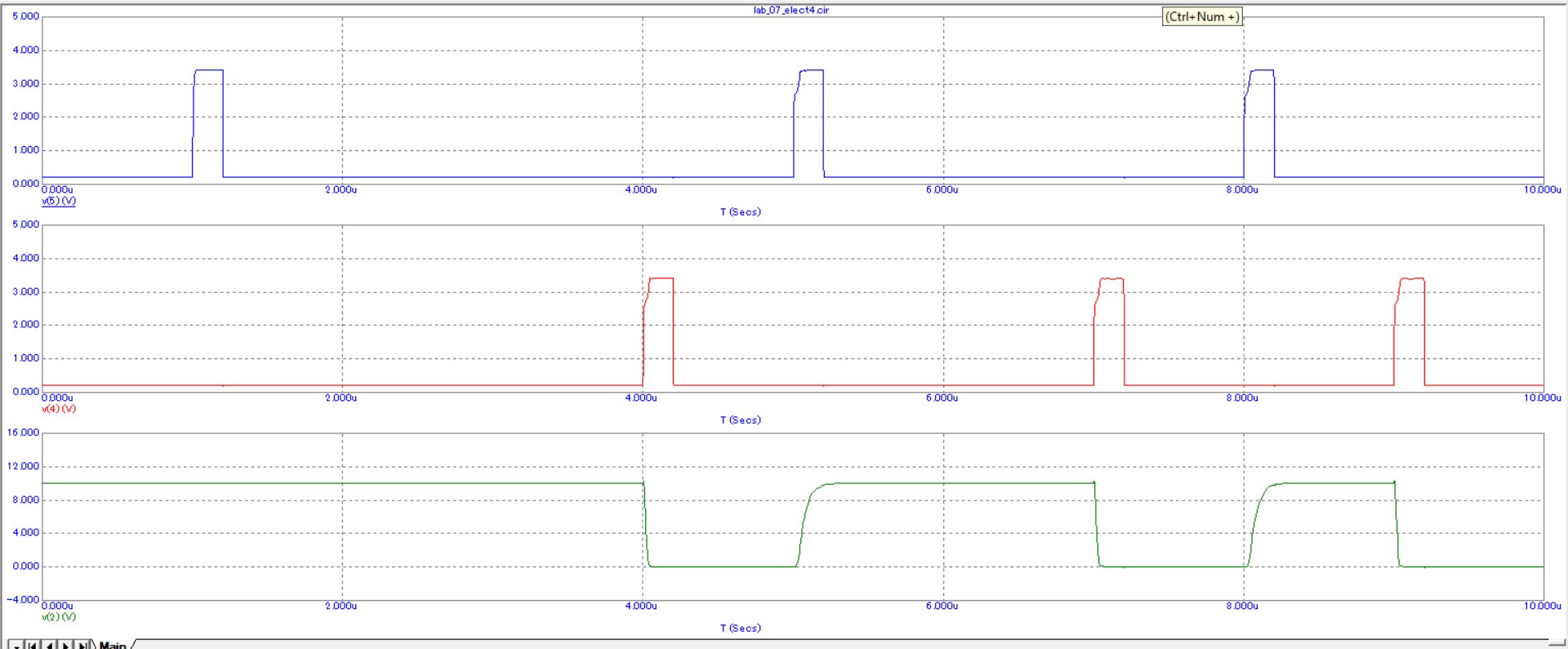


Рисунок 34. Результат временного анализа